

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of  
Inventor(s): Yasuhiko SEKIMOTO

Appn. No.:	Not	Assigned
Series Code	↑	↑ Serial No.

Group Art Unit: Unknown

Filed: February 17, 2003

Examiner: Unknown

Title: NOISE CANCELING CIRCUIT

Atty. Dkt. P 0308354	H8017US
M#	Client Ref

Date: February 17, 2004

**SUBMISSION OF PRIORITY  
DOCUMENT IN ACCORDANCE  
WITH THE REQUIREMENTS OF RULE 55**

Hon. Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2003-038414	Japan	February 17, 2003

Respectfully submitted,

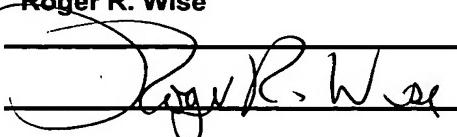
Pillsbury Winthrop LLP  
Intellectual Property Group

725 South Figueroa Street, Suite  
2800  
Los Angeles, CA 90017-5406  
Tel: (213) 488-7100

Atty/Sec: RRW/JES

By Atty: Roger R. Wise

Reg. No. 31204

Sig: 

Fax: (213) 629-1033  
Tel: (213) 488-7584

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年  2月17日  
Date of Application:

出願番号      特願2003-038414  
Application Number:

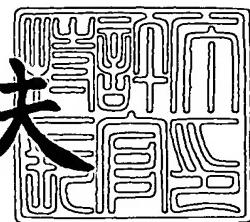
[ST. 10/C] :      [JP2003-038414]

出願人      ヤマハ株式会社  
Applicant(s):

2003年 9月25日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 J99392A1

【提出日】 平成15年 2月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 5/00

【発明の名称】 ノイズ除去回路

【請求項の数】 4

【発明者】

【住所又は居所】 静岡県浜松市中沢町10番1号 ヤマハ株式会社内

【氏名】 関本 康彦

【特許出願人】

【識別番号】 000004075

【氏名又は名称】 ヤマハ株式会社

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001626

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ノイズ除去回路

【特許請求の範囲】

【請求項 1】 入力信号に含まれる高周波成分を除去するローパスフィルタと、

前記ローパスフィルタの出力がスレショルドレベルより大か小かに応じてハイレベルまたはローレベルの信号を出力する増幅手段と、

前記増幅手段の出力レベルの変化時点においてパルス信号を出力するパルス発生回路と、

前記パルス発生手段から出力されるパルス信号を受けて前記ローパスフィルタの出力をハイレベルまたはローレベルに強制的に引き込む引き込み回路と、

を具備することを特徴とするノイズ除去回路。

【請求項 2】 前記引き込み回路は、前記ローパスフィルタの出力とハイレベルとの間に介挿された第1のトランジスタと、前記ローパスフィルタの出力とローレベルとの間に介挿された第2のトランジスタとから構成され、前記第1、第2のトランジスタの制御端子に前記パルス発生手段の出力が供給されることを特徴とする請求項1に記載のノイズ除去回路。

【請求項 3】 前記パルス発生回路は、前記増幅手段の出力を遅延させる遅延回路と、前記増幅手段の出力を反転する反転回路と、前記遅延回路と前記反転回路の論理積をとる論理積回路と、前記遅延回路と前記反転回路の論理和をとる論理和回路とから構成されることを特徴とする請求項1または請求項2に記載のノイズ除去回路。

【請求項 4】 前記増幅手段はシュミット回路であることを特徴とする請求項1～請求項3のいずれかの項に記載のノイズ除去回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、クロック入力端子等に混入するノイズを製造バラツキによらず除去するノイズ除去回路に関する。

### 【0002】

#### 【従来の技術】

図6はRCフィルタを用いた従来のノイズ除去回路の構成例を示す回路図であり、この図において、符号1～4はインバータ、R1は抵抗、C1はコンデンサである。いま、入力端に図7（イ）に示すノイズNZを有する信号INが入力されると、抵抗R1とコンデンサC1の接続点の信号ND2が同図（ロ）となり、インバータ2の出力信号ND3およびインバータ4の出力信号OUTが各々同図（ハ）、（ニ）となる。この図から明らかなように、ノイズNZの幅が一定以上あると、RCフィルタでは吸収できず、出力信号OUTにノイズが表れてしまう。これは、インバータ2をシュミット回路とすることで改善することができる。

### 【0003】

図8はシュミット回路を用いた場合の動作波形図であり、同図（イ）に示すノイズNZを含む入力信号INに対し、RCフィルタの出力信号ND2は同図（ロ）～（ニ）に細線で示すようになり、シュミット回路のスレショルドレベルVIL、VIHに応じて出力信号OUTが図に太線で示すようになる。すなわち、スレショルドレベルVILが低い場合は、同図（ロ）に示すように、出力信号OUTはノイズNZに関係なくその後に立ち上がり、また、スレショルドレベルVIL、VIHが共に（ロ）の場合より高い場合は、同図（ハ）に示すように、信号ND2がスレショルドレベルVILを横切った時出力信号OUTが立ち上がる。このように、シュミット回路を用いた場合は、ノイズの影響をシュミット回路でも押さえることができる。但し、スレショルドレベルVILが比較的高く、VIHが低い場合は、同図（ニ）に示すように、ノイズNZに応じたノイズが出力信号OUTに発生する可能性がある。

また、特許文献1には、外付けの回路を用いず、内部回路によってヒステリシス入力回路を実現し、このヒステリシス入力回路によってノイズを除去するものが記載されている。しかし、入力回路にヒステリシス特性を持たせても、ノイズの種類によっては除去できない場合が生じる。また、特許文献2に記載されるものは、入力回路にヒステリシス特性を持たせると共に、出力端から入力端へ正帰

還をかけ、その帰還路に遅延特性を持たせている。しかし、この回路は、細いパルスを除去することは可能であるが、幅が一定以上のノイズは除去できない欠点がある。

#### 【0004】

また、特許文献3にも、入力段がヒステリシス特性を持つシュミット回路となっているノイズ除去回路が記載されている。しかし、この回路は、入力信号が一定以上の幅を持たない場合に動作しない欠点がある。

#### 【0005】

##### 【特許文献1】

特開平3-30323号公報

##### 【特許文献2】

特開昭59-172826号公報

##### 【特許文献3】

特開平1-29094号公報

#### 【0006】

##### 【発明が解決しようとする課題】

本発明は上記事情を考慮してなされたもので、その目的は、ノイズの幅が広い場合、狭い場合のいずれの場合においても確実にノイズを除去することができ、しかも、入力信号のパルス幅が狭い場合も確実に動作することができるノイズ除去回路を提供することにある。

#### 【0007】

##### 【課題を解決するための手段】

この発明は上記の課題を解決するためになされたもので、請求項1に記載の発明は、入力信号に含まれる高周波成分を除去するローパスフィルタと、前記ローパスフィルタの出力がスレショルドレベルより大か小かに応じてハイレベルまたはローレベルの信号を出力する増幅手段と、前記増幅手段の出力レベルの変化時点においてパルス信号を出力するパルス発生回路と、前記パルス発生手段から出力されるパルス信号を受けて前記ローパスフィルタの出力をハイレベルまたはローレベルに強制的に引き込む引き込み回路とを具備することを特徴とするノイズ

除去回路である。

### 【0008】

請求項2に記載の発明は、請求項1に記載のノイズ除去回路において、前記引き込み回路は、前記ローパスフィルタの出力とハイレベルとの間に介挿された第1のトランジスタと、前記ローパスフィルタの出力とローレベルとの間に介挿された第2のトランジスタとから構成され、前記第1、第2のトランジスタの制御端子に前記パルス発生手段の出力が供給されることを特徴とする。

### 【0009】

請求項3に記載の発明は、請求項1または請求項2に記載のノイズ除去回路において、前記パルス発生回路は、前記増幅手段の出力を遅延させる遅延回路と、前記増幅手段の出力を反転する反転回路と、前記遅延回路と前記反転回路の論理積をとる論理積回路と、前記遅延回路と前記反転回路の論理和をとる論理和回路とから構成されることを特徴とする。

請求項4に記載の発明は、請求項1～請求項3のいずれかの項に記載のノイズ除去回路において、前記増幅手段はシュミット回路であることを特徴とする。

### 【0010】

#### 【発明の実施の形態】

以下、図面を参照し、この発明の実施の形態について説明する。図1はこの発明の一実施の形態によるノイズ除去回路の構成を示すブロック図である。この図において、11は入力信号INが入力される入力端子、12は入力信号INを反転して出力するインバータ、13はインバータ12の出力の高周波成分を除去するローパスフィルタであり、このローパスフィルタ13の出力がPチャネルFET（電解効果トランジスタ）14のドレインとNチャネルFET15のドレンの接続点およびインバータ16の入力端へ供給される。また、FET14のソースは電源電圧に接続され、FET15のソースは接地されている。インバータ16の出力は1ショットパルス発生回路17の入力端へ供給されると共に、出力端子18へ供給される。1ショットパルス発生回路17はインバータ16の出力信号（すなわち、出力端子18の信号OUT）の立ち上がりにおいて一定幅の”H”レベルのパルス信号NACCを発生してFET15のゲートへ出力し、また、

インバータ16の出力信号の立ち下がりにおいて一定幅の”L”レベルのパルス信号PACCを発生してFET14のゲートへ出力する。

### 【0011】

次に、上述した回路の動作を図2に示すタイミングチャートを参照して説明する。

入力端子11の入力信号INが、図2(イ)に示すように、”H”レベルに立ち上ると、インバータ12の出力が立ち下がり、これに伴い、ローパスフィルタ13の出力ND2が図2(ロ)に示すように徐々に立ち下がる。そして、ローパスフィルタ13の出力ND2がインバータ16の反転レベルまで下降すると、インバータ16の出力、すなわち、出力端子18の出力信号OUTが、図2(ハ)に示すように”H”レベルに立ち上がる。信号OUTが”H”レベルに立ち上ると、1ショットパルス発生回路17から”H”レベルのパルス信号NACC(図2(ホ))が出力され、FET15のゲートへ供給される。これによりFET15がオンとなり、ローパスフィルタ13の出力信号ND2が強制的に”L”レベル(接地レベル)に引き下ろされる。なお、この時、信号PACC(図2(ニ))は”H”レベルにあり、FET14はオフ状態にある。信号NACCは一定時間後に”L”レベルに戻り、これにより、FET15がオフ状態になるが、信号ND2は”L”レベルの状態が継続する。

### 【0012】

以上の動作において、もし、入力信号INに図2(イ)に示すノイズNZが含まれていても、このノイズNZはパルス信号NACCによって吸収され、出力信号OUTにノイズが発生することはない。

### 【0013】

次に、入力信号INが立ち下がると、ローパスフィルタ13の出力ND2が徐々に立ち上がり、インバータ16の反転レベルまで上昇すると、インバータ16の出力信号OUTが、図2(ハ)に示すように”L”レベルに立ち下がる。信号OUTが立ち下がると、1ショットパルス発生回路17から”L”レベルのパルス信号PACC(図2(ニ))が出力され、FET14のゲートへ供給される。これによりFET14がオンとなり、ローパスフィルタ13の出力信号ND2が

強制的に”H” レベルに引き上げられる。

#### 【0014】

次に、図3を参照し、上記実施形態の具体的な実施例を説明する。なお、図3において、図1の各部と対応する部分には同一の符号が付してある。

図3の実施例においては、図1のローパスフィルタ13が抵抗R1およびコンデンサC1によって構成され、インバータ16と出力端子18の間にインバータ21、22が挿入され、また、1ショットパルス発生回路17がインバータ24～26と、抵抗R2、コンデンサC2と、 NANDゲート27と、ローアクティブアンドゲート28とから構成されている。この場合、インバータ24はインバータ16の出力信号ND3を反転して抵抗R2およびコンデンサC2からなる遅延回路へ供給する。遅延回路の出力はインバータ26を介して NANDゲート27およびローアクティブアンドゲート28の各第1入力端へ供給される。

#### 【0015】

上述したインバータ24、抵抗R2、コンデンサC2、インバータ26は遅延回路を構成しており。信号ND3が抵抗R2およびコンデンサC2によって決まる一定時間遅延され、信号ND3Dとして NANDゲート27およびローアクティブアンドゲート28の各第1入力端へ供給される。インバータ25は信号ND3を反転し、 NANDゲート27およびローアクティブアンドゲート28の各第2入力端へ供給する。 NANDゲート27の出力およびローアクティブアンドゲート28の出力がそれぞれパルス信号PACCおよびNACCとしてFET14および15のゲートへ供給される。

#### 【0016】

次に、上述した回路の動作を図4に示すタイミングチャートを参照して説明する。

入力端子11の入力信号INが、図4（イ）に示すように、”H” レベルに立ち上がると、ローパスフィルタ13の出力ND2が図4（ロ）に示すように徐々に立ち下がる。そして、ローパスフィルタ13の出力ND2がインバータ16の反転レベルまで下降すると、インバータ16の出力信号ND3が、図4（ハ）に示すように”H” レベルに立ち上がる。信号ND3が”H” レベルに立ち上がる

と、インバータ25の出力信号ND3Nが立ち下がる（図4（ニ））。また、インバータ26の出力信号ND3Dは信号ND3の立ち上がりから一定時間遅延されて立ち上がる（図4（ホ））。

#### 【0017】

信号ND3Nが立ち下がり、一方、信号ND3Dが立ち上がる前においては、ローアクティブアンドゲート28の出力信号NACC（図4（ヘ））が”H”レベルとなり、次いで信号ND3Dが立ち上がると信号NACCが”L”レベルに戻る。すなわち、信号ND3が立ち上がると同時に1ショットパルス発生回路17からパルス信号NACCが出力され、FET15のゲートへ供給される。これによりFET15がオンとなり、ローパスフィルタ13の出力信号ND2が強制的に”L”レベル（接地レベル）側に引き下ろされる。

#### 【0018】

以上の動作において、もし、入力信号INに図4（イ）に示すノイズNZが含まれていても、このノイズNZはパルス信号NACCによって吸収され、出力信号OUT（図4（チ））にノイズが発生することはない。また、その後にノイズNZ1が発生しても、ローパスフィルタ13によって吸収され、出力信号OUTにノイズが発生することはない。

#### 【0019】

次に、入力信号INが立ち下がると、ローパスフィルタ13の出力ND2が徐々に立ち上がり、インバータ16の反転レベルまで上昇すると、インバータ16の出力信号ND3が、図4（ハ）に示すように”L”レベルに立ち下がる。信号ND3が立ち上がると、インバータ25の出力信号ND3Nが立ち上がり（図4（ニ））、また、インバータ26の出力信号ND3Dは信号ND3の立ち下がりから一定時間遅延されて立ち下がる（図4（ホ））。

#### 【0020】

信号ND3Nが立ち上がり、一方、信号ND3Dが立ち下がる前においては、 NANDゲート27の出力信号PACC（図4（ト））が”L”レベルとなり、次いで信号ND3Dが立ち下がると信号PACCが”H”レベルに戻る。すなわち、信号ND3が立ち下がると同時に1ショットパルス発生回路17からパルス信

号PACCが出力され、FET14のゲートへ供給される。これによりFET14がオンとなり、ローパスフィルタ13の出力信号ND2が強制的に”H”レベル側に引き上げられる。

### 【0021】

なお、上記実施例においては、インバータ24、抵抗R2、コンデンサC2、インバータ26によって遅延回路を構成しているが、これに代えて、図5に示すように、インバータ31～34の直列接続回路によって遅延回路を構成してもよい。

また、上記実施例におけるFET14、15に代えてバイポータトランジスタを用いてもよい。

### 【0022】

また、上記図1または図3の回路において、インバータ16に代えて公知のシユミット回路を用いてもよい。その場合には、ノイズがさらに大きくND2の振幅変化が大きくなっても、ND3へノイズが伝わらないよう改善される。

### 【0023】

#### 【発明の効果】

以上説明したように、この発明によれば、ノイズの幅が広い場合、狭い場合のいずれの場合においても確実にノイズを除去することができる。例えば、 $40\mu$ sec周期のクロックパルスに対し、5nsec幅という極めて狭い幅のノイズをも除去することができる。また、この発明によれば、入力信号のパルス幅が狭い場合も確実に動作することができる利点が得られる。

#### 【図面の簡単な説明】

【図1】 この発明の一実施形態によるノイズ除去回路の構成を示すブロック図である。

【図2】 同実施形態の動作を説明するための波形図である。

【図3】 図1に示す実施形態の具体的実施例を示す回路図である。

【図4】 同実施例の動作を説明するための波形図である。

【図5】 同実施例における遅延回路の他の構成例を示す回路図である。

【図6】 従来のノイズ除去回路の構成例を示す回路図である。

【図7】 図6に示す回路の動作を説明するための波形図である。

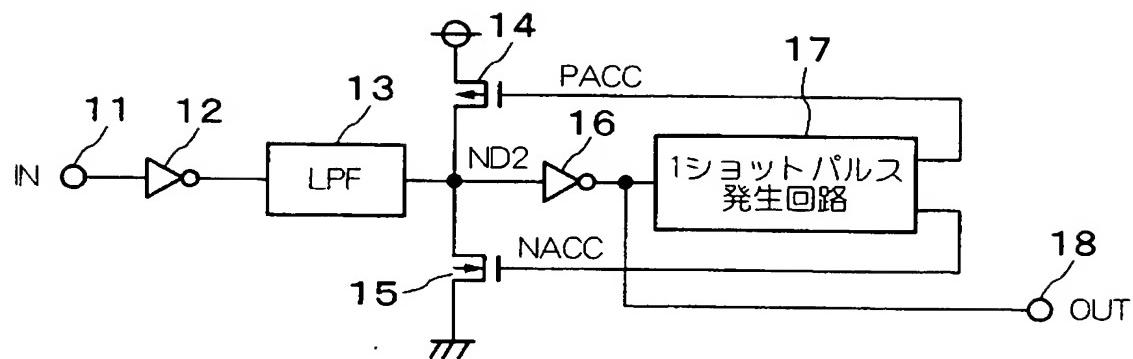
【図8】 図6に示す回路において、インバータ2をシュミット回路とした時の動作を説明するための波形図である。

【符号の説明】

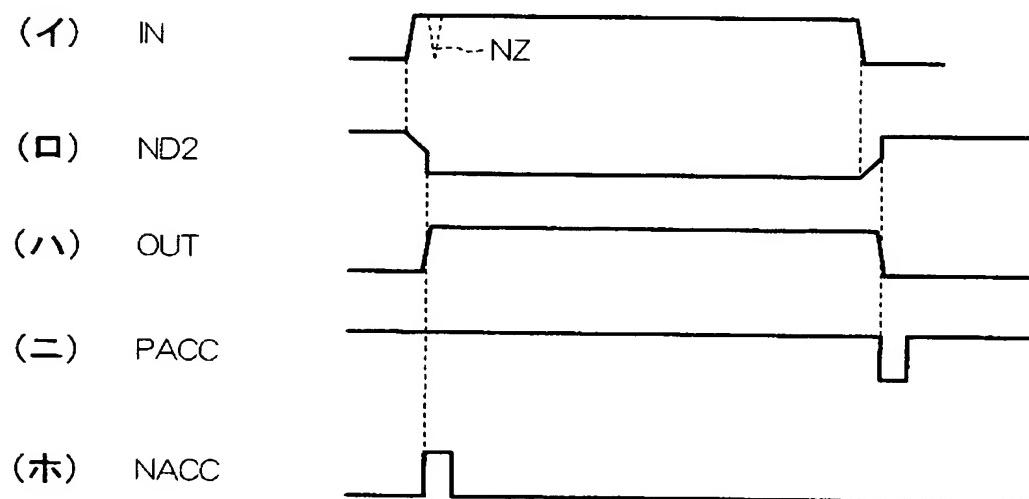
12、16、21、22、24、25、26…インバータ、13…ローパスフィルタ、14、15…FET、17…1ショットパルス発生回路、27… NANDゲート、28…ローアクティブアンドゲート、R1、R2…抵抗、C1、C2…コンデンサ。

【書類名】 図面

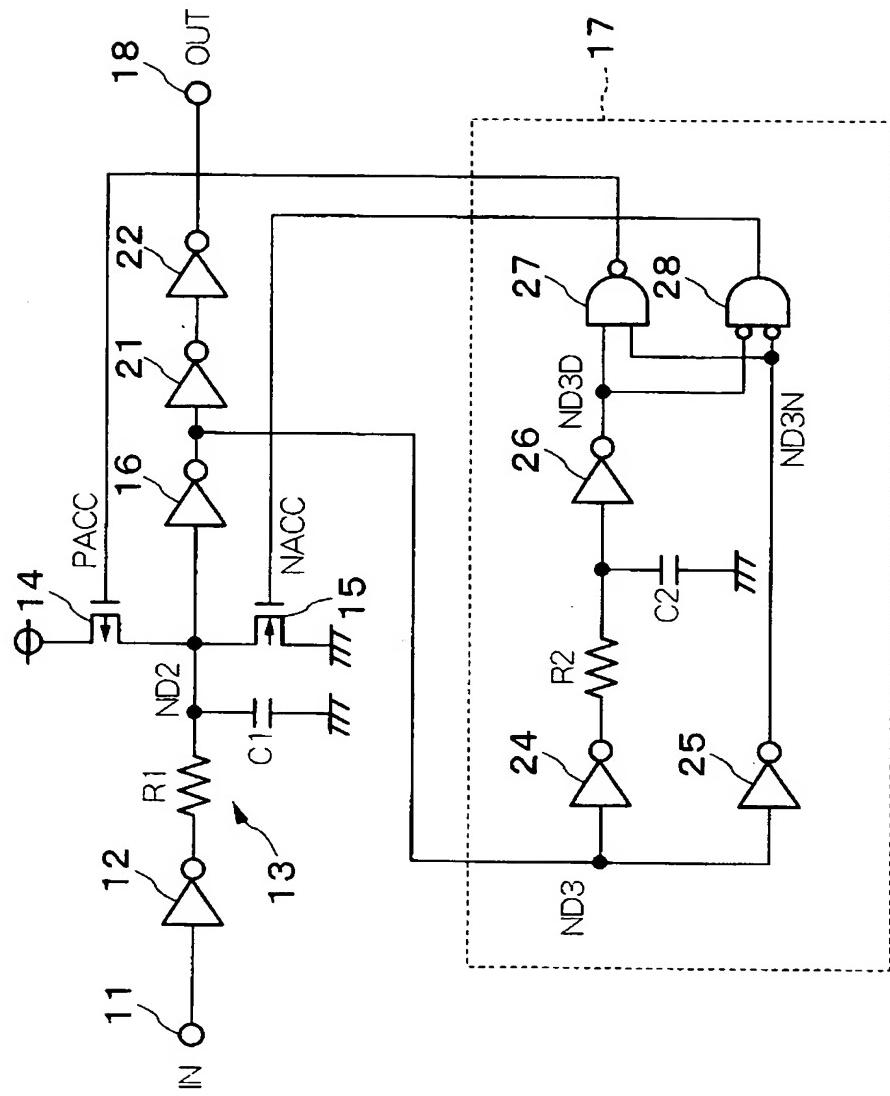
【図1】



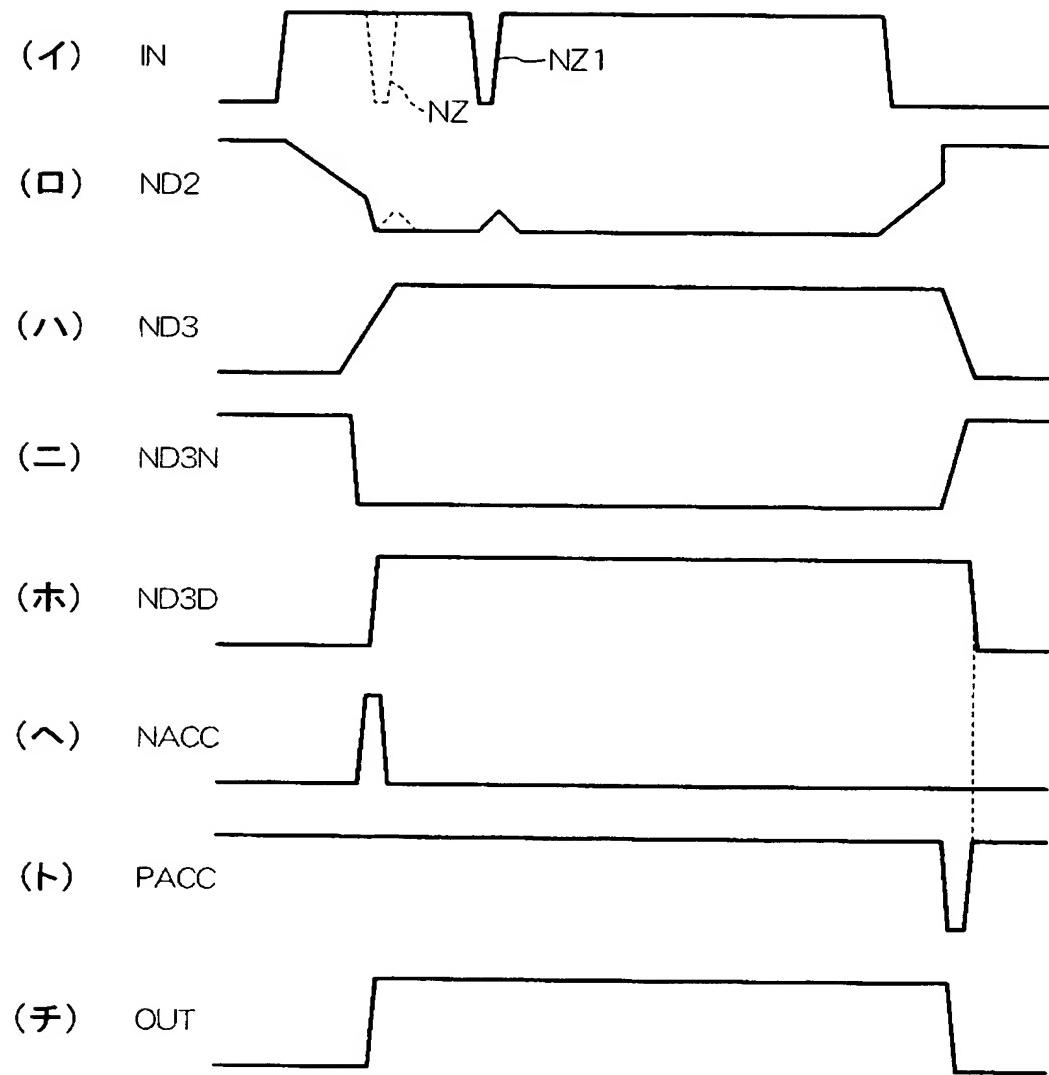
【図2】



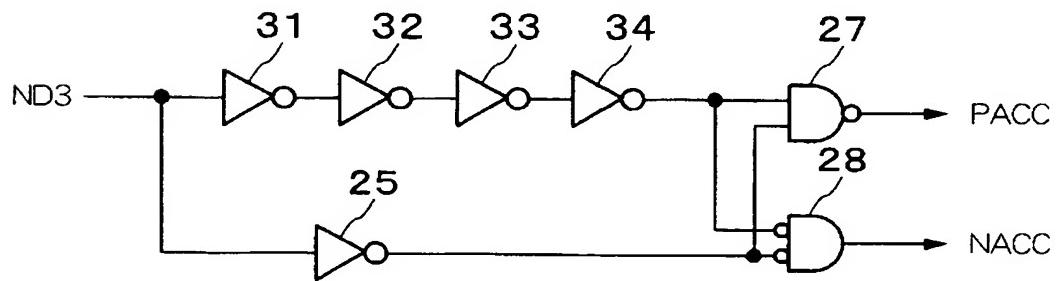
【図3】



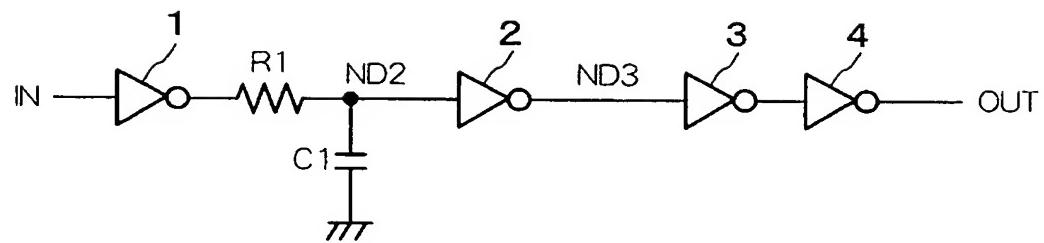
【図4】



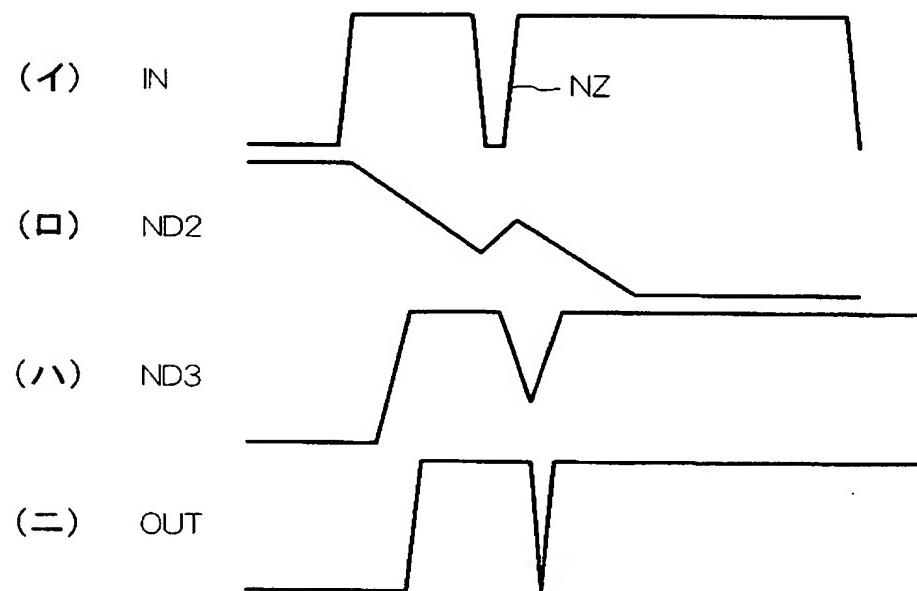
【図5】



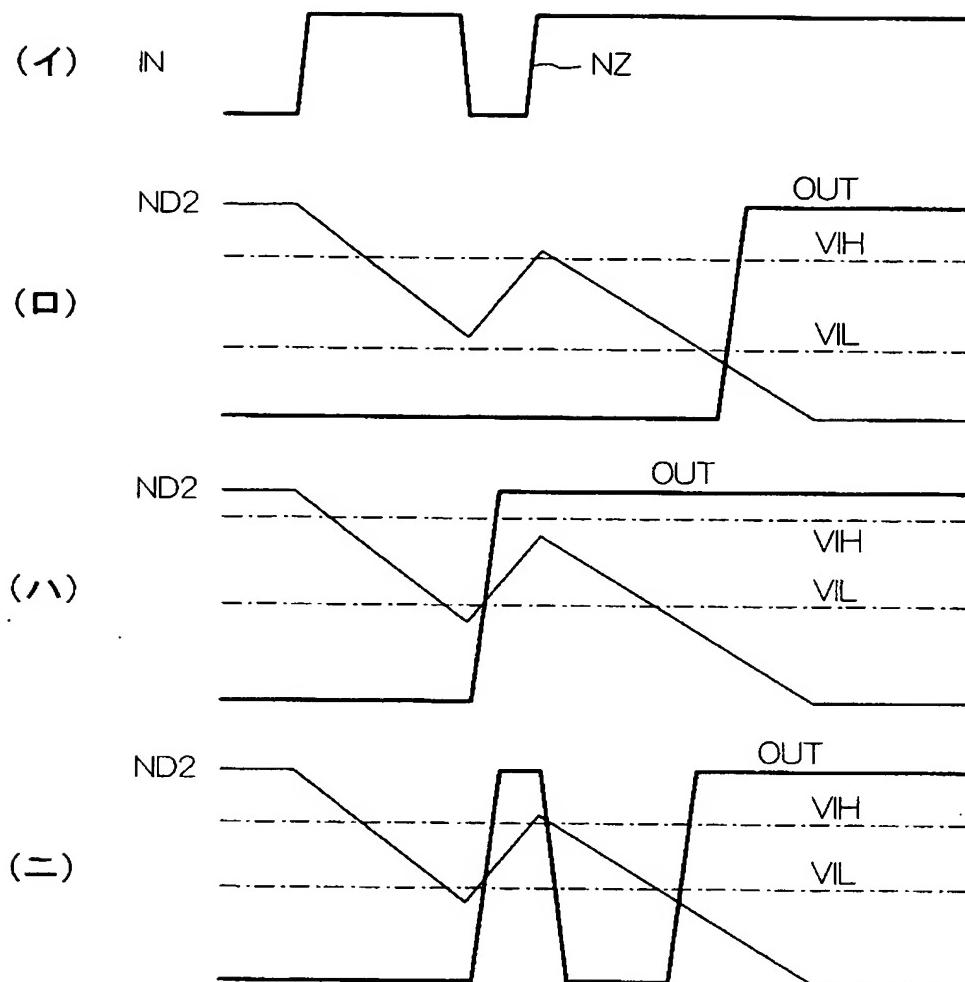
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 ノイズの幅が広い場合、狭い場合のいずれの場合においても確実にノイズを除去することができ、しかも、入力信号のパルス幅が狭い場合も確実に動作することができるノイズ除去回路を提供する。

【解決手段】 ローパスフィルタ13は入力信号に含まれる高周波成分を除去する。インバータ16はローパスフィルタ13の出力がスレショルドレベルより大きいかに応じてハイレベルまたはローレベルの信号を出力する。1ショットパルス発生回路17はインバータ16の出力レベルの変化時点においてパルス信号を出力する。FET14、15はパルス発生回路17から出力されるパルス信号を受けて、ローパスフィルタ13の出力をハイレベルまたはローレベルに強制的に引き込む。この引き込み動作によって、出力端子18におけるノイズの発生が防止される。

【選択図】 図1

特願 2003-038414

出願人履歴情報

識別番号 [000004075]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住所 静岡県浜松市中沢町10番1号  
氏名 ヤマハ株式会社